

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-160480

(43)Date of publication of application : 07.06.1994

(51)Int.Cl. G01R 31/28
H01L 21/82
H01L 27/04
// H01L 21/66

(21)Application number : 05-107841

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 10.05.1993

(72)Inventor : ASANO SEIJI

(30)Priority

Priority number : 04256455

Priority date : 25.09.1992

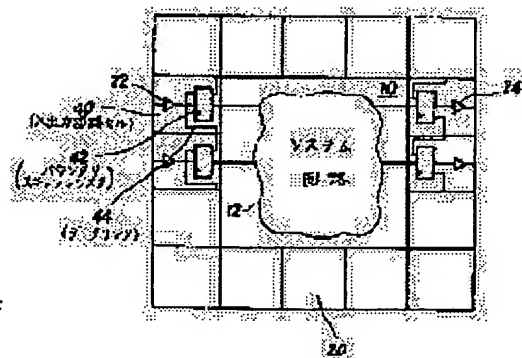
Priority country : JP

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To form a scan bus having no problem of a clock skew merely by continuously laying out input/output circuit cells in input/output circuit regions at a periphery of a chip by incorporating a boundary scan register and a data ring in the respective cells.

CONSTITUTION: A boundary scan register 42 and a boundary scan data ring 44 are contained in input/output circuit cells 40, and a scan bus is formed merely by continuously disposing the cells 40 on input/output circuit regions 20 at a periphery of a chip. Accordingly, it is not necessary to assemble the register 42 in a user circuit region 10, and a system design of a user circuit can be performed without being conscious of a presence of the register 42. Further, the registers 42 can be regularly laid out without special layout wiring, and a scan bus having no problem of a clock skew can be obtained.



LEGAL STATUS

[Date of request for examination]

25.12.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2947497

[Date of registration]

02.07.1999

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-160480

(43)公開日 平成6年(1994)6月7日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

G 0 1 R 31/28

H 0 1 L 21/82

27/04

T 8427-4M

6912-2G

6912-2G

G 0 1 R 31/ 28

G

V

審査請求 未請求 請求項の数3(全 7 頁) 最終頁に続く

(21)出願番号 特願平5-107841

(22)出願日 平成5年(1993)5月10日

(31)優先権主張番号 特願平4-256455

(32)優先日 平4(1992)9月25日

(33)優先権主張国 日本(JP)

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 浅野 誠治

東京都千代田区内幸町二丁目2番3号 川崎製鉄株式会社東京本社内

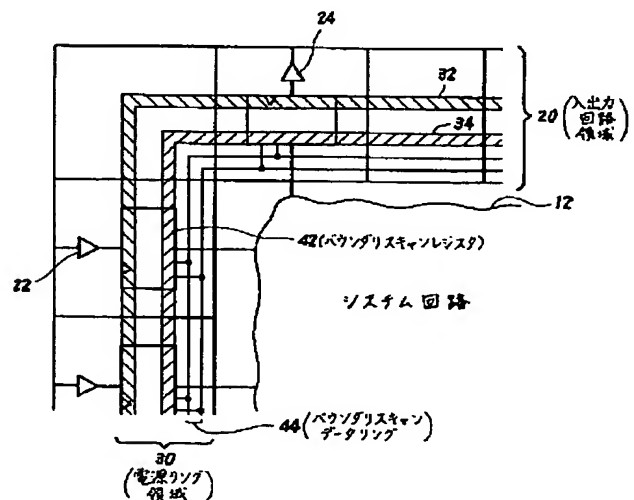
(74)代理人 弁理士 高矢 諭 (外2名)

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】 バウンダリ・スキャン・レジスタがあることを意識しないでシステム設計をすることができ、しかも、クロック・スキューの問題を含まないスキャンパスを得る。

【構成】 各入出力回路セルにバウンダリ・スキャン・レジスタ及びデータリングを内蔵し、該入出力回路セルをチップ周辺の入出力回路領域に連続的に配置するだけで、スキャンパスが形成されるようにする。



【特許請求の範囲】

【請求項1】テスト時に入出力ピンの近傍でスキャンパスを形成するためのバウンダリ・スキャン・レジスタが内蔵された半導体集積回路において、

各入出力回路セルにバウンダリ・スキャン・レジスタ及びデータリングを内蔵し、

該入出力回路セルをチップ周辺の入出力回路領域に連続的に配置するだけで、スキャンパスが形成されるようにしたことを特徴とする半導体集積回路。

【請求項2】請求項1において、前記バウンダリ・スキャン・レジスタを、電源リングと同じ位置に積層配置したことを特徴とする半導体集積回路。

【請求項3】請求項1において、前記バウンダリ・スキャン・レジスタを内蔵する前記入出力回路セルが、バウンダリ・スキャン・チェーンが形成されたときに該入出力回路セルへと両隣接するものそれぞれとの、スキャンデータの取り込みタイミングに用いるクロック信号の伝達経路に用いるクロックバッファを内蔵し、

又、前記両隣接するものそれぞれに対して、前記スキャンデータの入力及び出力の方向と逆方向の、前記クロック信号の入力及び出力の方向となるように、前記クロックバッファが設けられ、接続されていることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、テスト時に入出力ピンの近傍でスキャンパスを形成するためのバウンダリ・スキャン・レジスタが内蔵された半導体集積回路に係り、特に、入出力回路セルを、チップ周辺の入出力回路領域に連続的に配置するだけで、クロック・スキューを意識することなく、スキャンパスが形成できるようにした半導体集積回路に関するものである。

【0002】

【従来の技術】テストの容易性を補償したり、テストパターンを自動的に発生する検査ツールの使用を許容するために、半導体集積回路に、テスト時に入出力ピンの近傍でスキャンパスを形成するためのバウンダリ・スキャン・レジスタを内蔵させたものがある。

【0003】このようなバウンダリ・スキャン・レジスタが内蔵された半導体集積回路は、従来、バウンダリ・スキャン・レジスタを内蔵した専用のゲートセル（バウンダリ・スキャン・セル）で設計し、図1及び図2に示すチップレイアウトの如く、システム回路12と同一のユーザ回路領域10に、同一の配置・配線手法で組み込まれていた。図1及び図2において、14はバウンダリ・スキャン・レジスタ、16はバウンダリ・スキャン・データライン、20は、入力バッファ回路22や出力バッファ回路24が配置される入出力回路領域、30は、該入出力回路領域20内に配置された電源リング32、

34を含む電源リング領域である。

【0004】一方、従来、半導体集積回路に組み込む回路の最大動作速度は、標準プロセス時のデータに基づいた回路シミュレーション等によって見積っていた。又、その半導体集積回路が製造された段階で、組み込まれている回路を実際に動作させながらその実動作速度を測定すると共に、前記最大動作速度の見積りと、測定された前記実動作速度との比較によって、その製造時のプロセスによる動作速度のばらつきの度合を評価していた。

【0005】なお、このような前記最大動作速度の見積りや前記実動作速度の測定に際しては、半導体集積回路に組み込む回路全体ではなく、その回路内の一部にのみ注目することで、その測定作業能率の向上が図られている。又、このような見積りや測定に好適な専用回路を測定対象の半導体集積回路へと組み込んでおくことで、このような測定作業の能率向上が図られている。

【0006】

【発明が解決しようとする課題】しかしながら、従来のようにバウンダリ・スキャン・レジスタ14をユーザ回路領域10に配置する方法では、システム回路12を設計する際に、バウンダリ・スキャン・レジスタが存在することを意識して設計しなければならず、設計が複雑である。又、バウンダリ・スキャン・レジスタ14の配設位置が必ずしも一定しないため、そのクロック・スキューを意識した配置・配線を行わなければならず、設計が一層複雑である等の問題を有していた。

【0007】一方、前述のような回路シミュレーション等による最大動作速度の見積りでは、測定精度上の問題があった。これは、半導体集積回路に組み込まれる被測定回路の配線長の見積り精度が十分でないこと等による。

【0008】又、前述のような回路シミュレーション等による最大動作速度の見積りでも、又、前述のような製造された半導体集積回路での実動作速度の測定でも、組み込まれる回路をシミュレーションあるいは実動作させるものであるため、異なる回路が組み込まれた半導体集積回路同士で、前述のような最大動作速度の見積りの相互比較や、前述のような実動作速度の相互比較は困難であった。一方、前述のようにこのような見積りや測定に好適な専用回路を半導体集積回路内に組み込むようにした場合には、組み込まれた該専用回路分だけ集積度が低下してしまうという問題がある。

【0009】本発明は、前記従来の問題点を解消するべく成されたもので、入出力回路セルをチップ周辺の入出力回路領域に連続的に配置するだけで、クロック・スキューの問題を含まないスキャンパスを形成することが可能な、半導体集積回路を提供することを第1目的とする。

【0010】又、製造された段階の半導体集積回路での実際の動作速度を、より容易に、又、より精度良く見積れるようにし、異なる回路が組み込まれた半導体集積回

3

路間でも実動作速度の相互比較がより容易な半導体集積回路を提供することを第2目的とする。

【0011】

【課題を解決するための手段】本発明は、テスト時に入出力ピンの近傍でスキャンパスを形成するためのバウンダリ・スキャン・レジスタが内蔵された半導体集積回路において、各入出力回路セルにバウンダリ・スキャン・レジスタ及びデータリングを内蔵し、該入出力回路セルをチップ周辺の入出力回路領域に連続的に配置するだけで、スキャンパスが形成されるようにして、前記第1目的を達成したものである。

【0012】又、前記バウンダリ・スキャン・レジスタを、電源リングと同じ位置に積層配置したものである。

【0013】又、前記バウンダリ・スキャン・レジスタを内蔵する前記入出力回路セルが、バウンダリ・スキャン・チェーンが形成されたときに該入出力回路セルへと両隣接するものそれぞれとの、スキャンデータの取り込みタイミングに用いるクロック信号の伝達経路に用いるクロックバッファを内蔵し、又、前記両隣接するものそれぞれに対して、前記スキャンデータの入力及び出力の方向と逆方向の、前記クロック信号の入力及び出力の方向となるように、前記クロックバッファが設けられ、接続することにより、前記第1目的を達成すると共に、前記第2目的を達成したものである。

【0014】

【作用】本発明においては、各入出力回路セルにバウンダリ・スキャン・レジスタ及びデータリングを内蔵したので、該入出力回路セルをチップ周辺の入出力回路領域に連続的に配置するだけで、スキャンパスが形成される。従って、従来のようにバウンダリ・スキャン・レジスタをユーザ回路領域に組み込む必要がなく、バウンダリ・スキャン・レジスタの存在を意識しないで、ユーザ回路のシステム設計をすることができる。更に、バウンダリ・スキャン・レジスタのための特別な配置・配線を行うことなく、バウンダリ・スキャン・レジスタを規則正しく配置することができ、クロック・スキューの問題を含まないスキャンパスを得ることができる。

【0015】特に、バウンダリ・スキャン・レジスタを、電源リングと同じ位置に積層配置した場合には、入出力回路の空領域にバウンダリ・スキャン・レジスタを組み込むことができ、スペースを節約することができる。

【0016】なお、本発明はこれに限定されるものではないが、本発明において、製造された段階の半導体集積回路での実際の動作速度を、より容易に、又、より精度良く見積れるようにしたものも見出している。これは、本発明の半導体集積回路が備える前記入出力回路セルにおいて、所定の形態で、所定のクロックバッファを備えるというものである。又、該クロックバッファの遅延時間の測定から、組込まれる回路の実際の動作速度を見積

4

るというものである。このように実際の動作速度を見積れるようにしたものについては、第2実施例として、より詳しく後述する。

【0017】

【実施例】以下図面を参照して、本発明の実施例を詳細に説明する。

【0018】まず、本願の第1実施例は、図3及び図4に示す如く、テスト時に入出力ピンの近傍でスキャンパスを形成するためのバウンダリ・スキャン・レジスタが内蔵された半導体集積回路において、図3及び図4に示す如く、各入出力回路セル40にバウンダリ・スキャン・レジスタ42及びバウンダリ・スキャン・データリング44を内蔵し、該入出力回路セル40をチップ周辺の入出力回路領域20に連続的に配置するだけで、スキャンパスが形成されるようにしたものである。

【0019】前記バウンダリ・スキャン・レジスタ42は、図4に示した如く、入出力回路セル40の電源リング領域30に、電源リング32、34に対して積層配置されている。従って、バウンダリ・スキャン・レジスタ42を入出力回路セル40に内蔵することによるスペース増加を防ぎ、従来ユーザ回路領域10内に配置していたバウンダリ・スキャン・セルの分だけ、システム回路12を多くユーザ回路領域10に配置することが可能となる。

【0020】なお、バウンダリ・スキャン・レジスタの配設位置は、電源リング領域に限定されない。

【0021】図5は、本発明の第2実施例に用いられる入出力回路セル部分の回路図である。

【0022】この図5において、各入出力回路セル40aは、バウンダリ・スキャン・レジスタ42と、クロックバッファ52とを備える。又、該入出力回路セル40aは、それぞれ、図示されない前述したような前記入出力回路22あるいは前記出力バッファ回路24の、少なくともいずれか一方を備える。又、各入出力回路セル40aは、前記第1実施例と同様の、前記電源リング32及び34と、前記バウンダリスキャンデータリング44を備える。

【0023】この図5では、前記入出力回路セル40aは、合計n個示されている。これらは、バウンダリ・スキャン・チェーンが形成された場合には、全体としてシフトレジスタの如く動作する。又、このようにバウンダリ・スキャン・チェーンが形成されると、各スキャンデータD1～D(n+1)は、この図5において左方から右方へと、クロック信号C1～C(n+1)に従って順次シフトされる。該クロック信号C1～C(n+1)は、この図5において右方から入力される。又、各入出力回路セル40aが備える各クロックバッファ52を経て、クロック信号C2、クロック信号C3と順次伝達され、この図5の左端の前記入出力回路セル40aからはクロック信号C(n+1)が出力される。

【0024】このように、本実施例においての特徴は、前述の如くバウンダリ・スキャン・チェインが形成されたときに、その入出力回路セル40aへと隣接するものそれぞれとの、スキャンデータの取込みタイミングに用いるクロック信号の伝達経路に用いる前記クロックバッファ52を、それぞれの前記入出力回路セル40aが備えている点である。又、本実施例の特徴は、前記隣接するものそれぞれに対して、前記スキャンデータD1～D(n+1)の入力及び出力の方向と逆方向の、前記クロック信号C1～C(n+1)の入力及び出力の方向となるように、前記クロックバッファ52が設けられ、

接続されている点である。

【0025】即ち、この図5においては、前記スキャンデータD1～D(n+1)は、左方から右方へとシフトされる。一方、これとは逆方向に、前記クロック信号C1～C(n+1)は、この図5において右方から左方へと伝達されるように、前記入出力回路セル42のそれぞれの前記クロックバッファ52が設けられ、接続されている。

【0026】従って、この図5において左方から入力される前記スキャンデータD1を入力する、この図5において最も左端の前記入出力回路セル40aには、これ以外の前記入出力回路セル40aのいずれよりも遅れた前記クロック信号Cnが入力されている。又、左端の該入出力回路セル40aの前記バウンダリ・スキャン・レジスタ42では、該クロック信号Cnを入力する前記クロックバッファ52が出力する前記クロック信号C(n+1)が用いられる。該クロック信号C(n+1)は、この図5において右側から入力される前記クロック信号C1が、合計n個の前記クロックバッファ52の分だけ信

号が遅延されたものとなっている。

【0027】即ち、該クロック信号C(n+1)の前記クロック信号C1に対する信号遅延の度合は、複数の前記クロックバッファ52の直列接続にて蓄積される。又、例えばその半導体集積回路の製造プロセスのばらつき等による、これらクロックバッファ52の信号遅延の変動も、このような直列接続にて蓄積される。

【0028】なお、このような前記クロックバッファ52の信号遅延又該信号遅延の変動、即ちこれらクロックバッファ52の動作速度及び該動作速度の変動は、これらが組込まれている半導体集積回路の製造プロセス等による遅延時間や動作速度への影響を評価するために有効

$$(t_2 - t_1) = (\text{クロックバッファ52の1段当りの遅延})$$

$$\times (\text{クロックバッファ52の合計段数即ちn段}) \dots (1)$$

【0035】前述の如く、前記クロック信号C0の立上りの時刻t2が時刻t3よりも遅れてしまうと、前記シフトレジスタが誤動作してしまう。特に、この図6で示すように、前記スキャンデータDIが(0)、

(1)、(0)、(1)・・・というように、“0”と“1”とが交互に入力される場合には、前記クロック信

な情報となっている。

【0029】図6は、前記第2実施例での、半導体集積回路の実際の動作速度を見積ることの原理を示すタイムチャートである。

【0030】この図6のタイムチャートでは、前記図5において右方から入力される前記クロック信号C1、即ちクロック信号CIが示されている。又、該タイムチャートでは、前記図5において左方から出力される前記クロック信号C(n+1)、即ちクロック信号COが示されている。該タイムチャートでは、前記図5において左方から入力される前記スキャンデータD1、即ちスキャンデータDIが示されている。又、この図6を用いた以下の説明は、前記図5の左端の前記入出力セル40aに対するものとなる。

【0031】まず、前記図5の左端の該入出力回路セル40a内の前記バウンダリ・スキャン・レジスタ42は、この図6に示される如く、前記クロック信号C0の立上がりにて、前記スキャンデータDIを取込む。一方、該スキャンデータDIは、前記図5の左方から入力される、即ち、全体としてシフトレジスタとして動作されるバウンダリ・スキャン・チェイン形成時の全体へと外部から入力される前記クロック信号CIのタイミングを基準として、このようなシフトレジスタの外部から前記スキャンデータDIが入力されている。

【0032】まず、この図6において、前記シフトレジスタの外部から入力される前記クロック信号CIの立上がりとなる時刻t1を基準として、前記スキャンデータDIは入力される。該スキャンデータDIは、時刻t3までその論理状態が保証されている。即ち、前記クロック信号C0の立上りの時刻t2が、前記スキャンデータDIが保証されている時刻t3よりも遅れてしまうと、前記シフトレジスタが誤動作してしまう。従って、該スキャンデータDIは、左端の前記バウンダリ・スキャン・レジスタ42では、時刻t1から時刻t3までの期間にて取込まなければならない。

【0033】即ち、前記クロック信号CIに対する前記クロック信号C0の遅延は、該クロック信号C0の立上りの時刻が時刻t3の直前となるまで許される。更に、該クロック信号C0の遅延が、合計n個の前記クロックバッファ52の遅延の蓄積に従ったものであることを考えると、次式が成立つ。

【0034】

号C0の立上りの時刻t2の遅延による誤動作を、例えば前記図5の右方から出力される前記スキャンデータD(n+1)の観測によつて、前記シフトレジスタの外部からより確実に検出することができる。

【0036】一方、前記クロック信号CIの立上がり時刻t1を基準とした前記スキャンデータDIの論理状態

7

が保証されている時刻 t_3 は、該スキャンデータ D I を前記シフトレジスタの外部から入力する際に、タイミング制御することができる。即ち、時刻 t_1 を基準とした時刻 t_3 は、前記シフトレジスタの外部から制御することができる。従って、前述のように合計 n 個の前記クロックバッファ 5 2 の遅延時間の蓄積に依存する、その半導体集積回路に固有の時刻 t_2 に対して、相対的に、前記スキャンデータ D I の入力の際のタイミング制御によって、時刻 t_3 を漸次早めていくことができる。

【0037】又、このように時刻 t_3 が漸次早められる過程で、例えば前記スキャンデータ D ($n+1$) の観測

(クロックバッファ 5 2 の 1 段当りの遅延)

$$= (t_2 - t_1) / (\text{クロックバッファ 5 2 の合計段数即ち } n \text{ 段}) \cdots (2)$$

【0040】なお、本実施例においては、前記スキャンデータ D 1 ~ D ($n+1$) の入力及び出力の方向（前記シフトレジスタのシフト方向）と、逆方向となるように、前記クロック信号 C 1 ~ C ($n+1$) の入力及び出力の方向（信号伝達方向）とされているため、前記

(1) 式及び前記 (2) 式で用いる時刻 t_1 と時刻 t_2 との間の時間をより高精度に設定することができている。即ち、各クロックバッファ 5 2 の遅延時間が短いとしても、このように多数段を直列接続することで、より高精度に測定可能な時間長まで蓄積することができる。又、このように多数段の前記クロックバッファ 5 2 の遅延時間を蓄積することで、それぞれのクロックバッファ 5 2 間での遅延時間のばらつきを平均化することができ、この点でも高精度化を図ることが可能である。

【0041】なお、半導体集積回路に組込む回路、例えば本実施例にて実際の動作速度の見積り対象となる回路の動作速度や、前記クロックバッファ 5 2 の動作速度の遅延の度合は、該半導体集積回路の製造プロセスのばらつきにて変動するものである。これは、所定のマスクにて半導体集積回路を製造する際の、配線等のパターンの幅の製造上のばらつき等による。あるいは、製造過程での金属配線層や絶縁層等の厚さの変動による。又、半導体集積回路内の所望箇所への拡散の際の、拡散量や拡散範囲のばらつき等による。

【0042】図 7 は、前記第 2 実施例の集積回路レイアウト図である。

【0043】この図 7 においては、前記図 5 に示された複数のものの一部、即ち、隣接する合計 4 個の前記出力回路セル 4 0 a が示されている。この図 7 の本第 2 実施例においても、前記図 4 の第 1 実施例と同様に、このような前記出力回路セル 4 0 a は、半導体集積回路チップ周辺の入出力回路領域に連続的に配置されている。従って、本実施例によれば、従来のようにバウンダリ・スキャン・レジスタをユーザ回路領域に組込む必要がなく、バウンダリ・スキャン・レジスタの存在を意識しないで、ユーザ回路のシステム設計をすることができる。更に、バウンダリ・スキャン・レジスタのための特別な

8

等から、前記シフトレジスタの誤動作が確認されたとすると、このとき時刻 t_3 は時刻 t_2 とほぼ同一と判定することができる。このように時刻 t_2 と同一の時刻 t_3 と時刻 t_1 との間の時間は、前記シフトレジスタの外部にて測定することが可能である。

【0038】従って、このような時刻 t_1 と時刻 t_3 との間の時間から、時刻 t_1 と時刻 t_2 との間の時間を定めることができ、又、前記 (1) 式を変形した次式によって、前記クロックバッファ 5 2 の 1 段当りの遅延時間を求めることができる。

【0039】

配置や配線を行うことなく、バウンダリ・スキャン・レジスタを規則正しく配置することができ、クロック・スキューの問題を含まないスキャンパスを得ることができる。

【0044】又、本発明は、これに限定されるものではないが、本第 2 実施例についても、前記第 1 実施例と同様に、電源リングと同一位置に積層配置することも可能である。即ち、前記バウンダリ・スキャン・レジスタ 4 2 や、前記クロックバッファ 5 2 を、前記第 1 実施例の如く、半導体集積回路チップ周辺の入出力回路領域に設けられた、例えばリング状の電源リングと同じ位置で積層配置するというものである。このように入出力回路の電源リングに対して積層配置することで、入出力回路の空き領域を有効に活用することができ、集積度をより改善することができる。

【0045】なお、本第 2 実施例において、時刻 t_1 と時刻 t_2 との間の時間、即ち、前記クロック信号 C ($n+1$) の前記クロック信号 C 1 に対する遅延の度合を、前記図 5 の左端から前記クロック信号 C ($n+1$) を外部から観測することで測定することも考えられる。例えば、前記クロック信号 C 1 と前記クロック信号 C ($n+1$) とを共にオシロスコープに表示しながら、これら信号間の遅延時間を測定することも考えられる。しかしながら、前記クロックバッファ 5 2 の出力駆動能力が小さい場合には、このような測定における誤差が増大してしまう。例えば、オシロスコープのプロブを接続することによる前記クロックバッファ 5 2 の負荷の増大によって、このような遅延時間測定の誤差が増大してしまう。

【0046】

【発明の効果】以上説明した通り、本発明によれば、入出力回路セルをチップ周辺の入出力回路領域に連続的に配置するだけで、スキャンパスが形成されるので、バウンダリ・スキャン・レジスタがあることを意識しないで、システム設計をすることができる。又、バウンダリ・スキャン・レジスタのための特別な配置・配線を行わなくても、バウンダリ・スキャン・レジスタが規則正しく配置され、クロック・スキューの問題を含まないスキ

ャンパスを容易に得ることができる等の優れた効果を有する。

【図面の簡単な説明】

【図1】従来のバウンダリ・スキャン・レジスタが内蔵された半導体集積回路のチップレイアウトの一例を示す平面図

【図2】図1の要部拡大図

【図3】本発明に係る半導体集積回路の第1実施例の全体構成を示す平面図

【図4】図3の要部拡大図

【図5】本発明に係る半導体集積回路の第2実施例の入出力回路セル部分の回路図

【図6】前記第2実施例での動作速度の見積りの原理を

示すタイムチャート

【図7】前記第2実施例の集積回路レイアウト図

【符号の説明】

20…入出力回路領域

30…電源リング領域

32、34…電源リング

40、40a…入出力回路セル

42…バウンダリ・スキャン・レジスタ

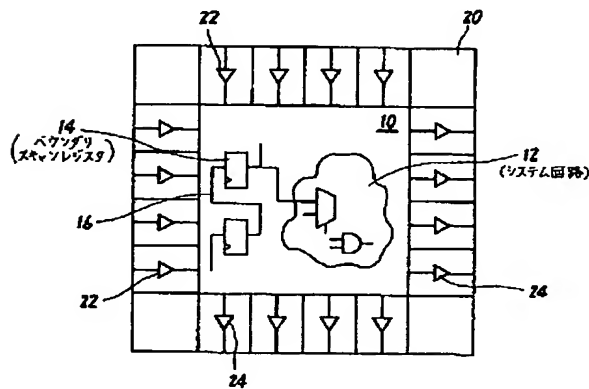
44…バウンダリ・スキャン・データリング

10 52…クロックバッファ

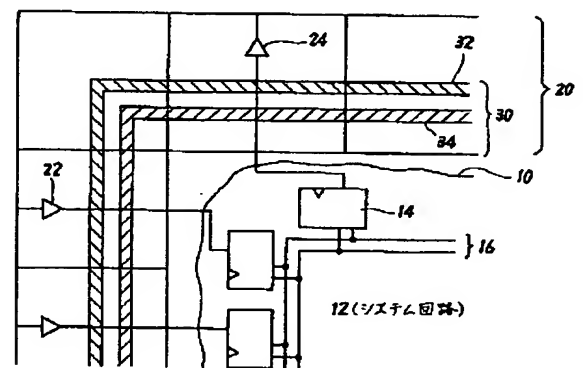
D1～D(n+1)…スキャンデータ

C1～C(n+1)…クロック信号

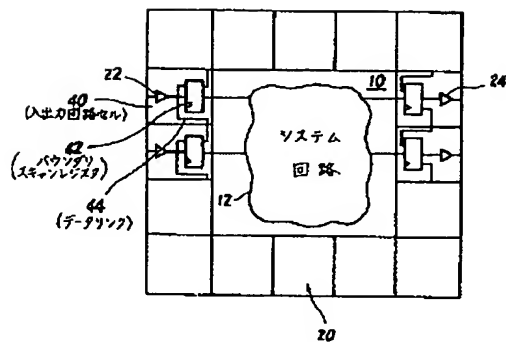
【図1】



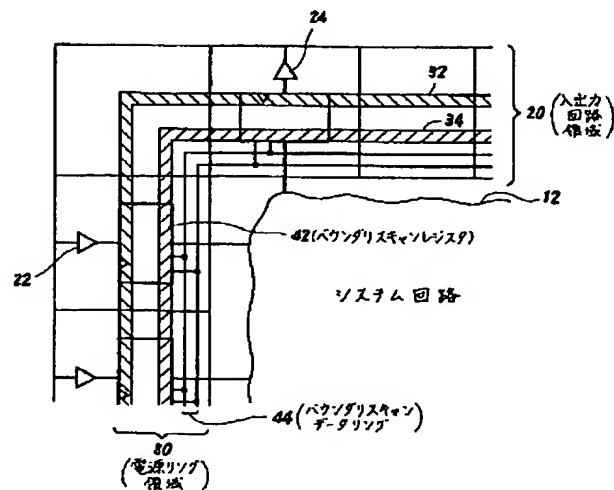
【図2】



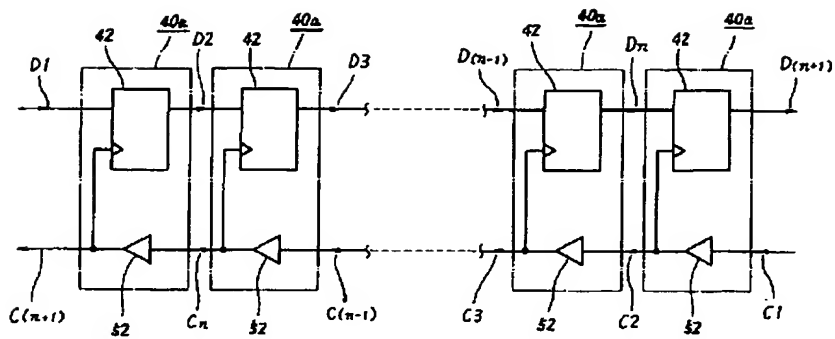
【図3】



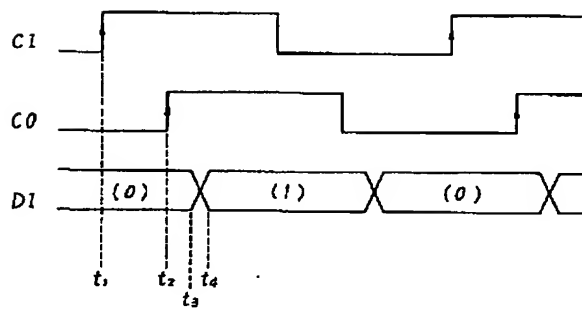
【図4】



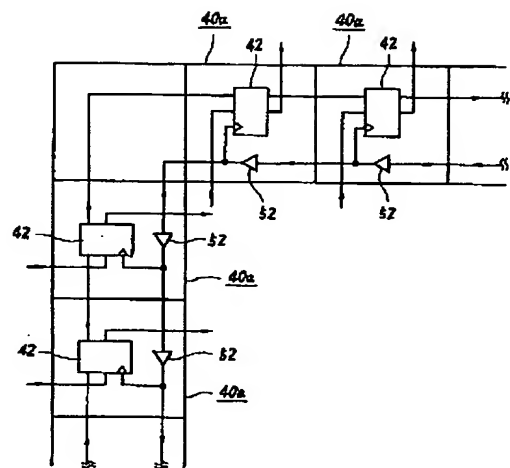
【図5】



【図6】



【図7】



フロントページの続き

(51) Int. Cl.⁵

// H 0 1 L 21/66

識別記号

序内整理番号

F 7377-4M

7377-4M

F I

H 0 1 L 21/82

技術表示箇所

T